



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63150713 A**

(43) Date of publication of application: 23 . 06 . 88

(51) Int. Cl.

G05F 1/56

G05F 3/26

H01L 27/04

(21) Application number: 61297619

(22) Date of filing: 16 . 12 . 86

(71) Applicant: TOSHIBA CORP TOSHIBA MICRO
COMPUT ENG
CORP TOSUBATSUKU
COMPUTER SYST KK

(72) Inventor: KUBO HITOSHI
TANAKA TATSUO
HONMA TOMOYUKI
KOJIIKA KAZUSHIGE

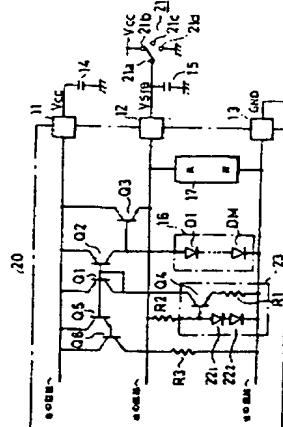
(54) CONSTANT VOLTAGE SOURCE CIRCUIT

activate the circuit 23. Thus, number of terminals of the constant voltage source circuit is reduced.

(57) Abstract:

PURPOSE: To decrease number of terminals without incurring the increase in current consumption and complicated circuit constitution by adding an external switch to a constant voltage source terminal and using the changeover control of the external switch so as to switch the operating state and nonoperating state of the constant voltage source circuit.

CONSTITUTION: A bias capacitor (C) 14 is mounted externally between a power terminal 11 and ground, a capacitor C15 is mounted externally between a constant voltage source 12 and ground and an externally mounted switch 21 is connected to the terminal 12. The ground terminal 13 is connected to ground. Emitters of PNP transistors (TR)Q1, Q2, collectors of NPN TRQ3 and collectors of NPN TRs Q5, Q6 are connected to the terminal 11. The constant voltage generating circuit 16 is connected between the collector of the TRQ2 and the terminal 13, and a load 17 is connected between the terminals 12 and 13. In connecting the switch 21 to the ground side, the TRQ4 is turned off to deactivate the constant current source circuit 23 and in throwing the switch 21 to the power supply, the TRQ4 is turned on to



⑪ 公開特許公報 (A)

昭63-150713

⑫ Int.Cl.

G 05 F 1/56
3/26
H 01 L 27/04

識別記号

310

厅内整理番号

E-8527-5H
7319-5H
7514-5F

⑬ 公開 昭和63年(1988)6月23日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 定電圧源回路

⑮ 特願 昭61-297619

⑯ 出願 昭61(1986)12月16日

⑰ 発明者 久保 仁 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑱ 発明者 田中 達夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑲ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 出願人 東芝マイコンエンジニアリング株式会社 神奈川県川崎市川崎区東田町2番地11号

㉑ 出願人 トスバツクコンピューターシステム株式会社 東京都渋谷区渋谷1丁目13番9号

㉒ 代理人 弁理士 鈴江 武彦 外2名

最終頁に続く

明細書

1. 発明の名称

定電圧源回路

2. 特許請求の範囲

(1) 電源端子と、この電源端子に接続されるカレントミラー回路と、このカレントミラー回路に動作用の初期電流を供給するスタート回路と、定電圧源端子と、上記カレントミラー回路の入力側に出力端が接続されカレントミラー回路を構成するトランジスタとは逆極性のトランジスタを有し、上記定電圧源端子からの電流に基づいて作動される定電流回路と、接地端子と、この接地端子と上記カレントミラー回路の出力側との間に設けられ、所定の定電圧を発生する定電圧発生回路と、上記カレントミラー回路の出力側に設けられカレントミラー回路を構成するトランジスタとは逆極性でエミッタホロウ構成の出力トランジスタと、上記定電圧源端子と上記接地端子間に設けられる負荷と、上記定電圧源端子に外付けされ、この端子を電源電圧レベル、接地レベル、およびオープン状

態に選択的に設定するスイッチとを具備することを特徴とする定電圧源回路。

(2) 前記エミッタホロウ構成の出力トランジスタのコレクタ電流が所定の値より大きくなつた時に、前記カレントミラー回路の出力電流を低減させる電流制限回路を設けて成ることを特徴とする特許請求の範囲第1項記載の定電圧源回路。

3. 発明の詳細を説明

[発明の目的]

(産業上の利用分野)

この発明は、電源電圧の変動によって特性が悪化する回路に定電圧を供給するための定電圧源回路に関するものである。

(従来の技術)

従来、この種の定電圧源回路は、例えば第5図に示すように構成されている。第5図において、11は電源 (V_{cc}) 端子、12は定電圧源 (V_{out}) 端子、13は接地 (GND) 端子で、上記電源端子11にはバイパスコンデンサー14が、上記定電圧源端子12にはバイパスコンデンサー15がそれぞ

れ外付けされる。また、上記電源端子11には、カレントミラー回路を構成するPNP型トランジスタQ1、Q2の各エミッタおよびNPN型出力トランジスタQ3のコレクタがそれぞれ接続される。上記トランジスタQ1、Q2は1:Nのエミッタ面積比を有しており、ベースが共通接続されてトランジスタQ1のコレクタに接続されるとともに、トランジスタQ2のコレクタと上記接地端子13間に定電圧発生回路16が接続される。上記トランジスタQ3のベースには上記トランジスタQ2のコレクタが接続され、エミッタには上記定電圧端子12が接続される。上記定電圧端子12と接地端子13間に、負荷17が接続される。上記トランジスタQ1のコレクタには、NPN型トランジスタQ4のコレクタが接続され、このトランジスタQ4のエミッタと接地端子13間に抵抗R1が接続される。上記トランジスタQ4のベースには、スイッチ回路18の一端が接続され、このスイッチ回路18の他端と上記接地端子13間に電源V1が接続される。そして、上記

しかし、このような構成では、定電圧源回路20の動作を制御するためのスイッチ制御端子19が必要となり、端子数の削減を図りたい半導体集積回路装置にあっては不利である。端子数の削減を図るために、上記スイッチ制御端子19を省いて定電圧源回路20を非動作状態とするために、上記定電圧端子12を接地端子13に接続する（トランジスタQ3のエミッタを接地する）ことも考えられる。しかし、この場合、トランジスタQ3の電流増幅率 β_3 、トランジスタQ1とQ2のカレントミラービー N 、およびトランジスタQ1のコレクタ電流を I_{c1} とすると、トランジスタQ3のコレクタ電流は、

$$I_{c3} = \beta_3 \cdot N \cdot I_{c1}$$

となる。ここで、 $\beta_3 = 100$ 、 $N = 1$ 、 $I_{c1} = 100\mu A$ とした場合のコレクタ電流 I_{c3} を求めてみると、

$$I_{c3} = 100 \times 1 \times 100\mu A = 10mA$$

となり、消費電流が大幅に増加して実用に耐えないと。

スイッチ回路18がスイッチ制御端子19に供給される制御信号CSによってオン／オフ制御されることにより定電圧源回路20の動作が制御される。

上記のような構成において、制御信号CSによりスイッチ回路18がオン状態に設定されると、電源V1からトランジスタQ4にベース電流が供給され、このトランジスタQ4がオン状態となる。これによって、トランジスタQ1のコレクタには I_{c1} ($\approx I_{c4}$)なる電流が流れ、トランジスタQ2のコレクタには $N \times I_{c1}$ なる電流が流れ。この電流($N \times I_{c1}$)がトランジスタQ3のベースに供給され、このトランジスタQ3がオン状態となることにより、負荷17に電源端子11から電源 V_{cc} が供給される。

一方、制御信号CSによってスイッチ回路18がオフ状態に設定されると、トランジスタQ4はオフ状態となる。従って、トランジスタQ1～Q3もオフ状態となり、負荷17には電源は供給されない。

定電圧源回路の他の構成例として定電圧発生回路16を使用しないものもあるが、この場合には出力特性が電源電圧依存性を持つてしまう。このため、電源電圧依存性をなくすための補償回路が必要となり、回路構成が複雑化とともに素子数が増加してチップ面積の増大によるコストの上昇を招くという欠点がある。

（発明が解決しようとする問題点）

上述したように、従来の定電圧源回路においては、動作を制御するためのスイッチ制御端子が必要となり端子数が増加する欠点がある。また、上記スイッチ制御端子を省略しようとすると消費電流が増加したり、回路構成が複雑化したりする欠点がある。

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、消費電流の増加や回路構成の複雑化を招くことなく端子数を削減できる定電圧源回路を提供することである。

【発明の構成】

（問題点を解決するための手段と作用）

すなわち、この発明においては、上記の目的を達成するために、スイッチ制御端子を定電圧源端子と共用したもので、定電圧源端子に外部スイッチを付加し、この外部スイッチの切換制御により定電圧源回路の動作状態と非動作状態とを切換えるようにしている。

このようにスイッチ制御端子と定電圧源端子とを共用することにより、消費電流の増加や回路構成の複雑化を招くことなく端子数の削減ができる。

(実施例)

以下、この発明の一実施例について図面を参照して説明する。第1図において、同配図5回と同一構成部には同じ符号を付しており、電源(V_{cc})端子11と接地点間にバライスコンデンサ14が外付けされる。また、定電圧源(V_{bat})端子12と接地点間にバライスコンデンサ15が外付けされるとともに、この端子12には外付けスイッチ21の可動接点21aが接続される。上記スイッチ21の固定接点21bには電源 V_{cc} が接続され、固定接点21cにはオープン状態、固定接

アノード、カソード間を介して接地点13が接続され、エミッタには抵抗R1を介して接地点13が接続される。また、上記トランジスタQ5のベースには、上記トランジスタQ1、Q2のベース共通接続点が、エミッタには上記トランジスタQ6のベースがそれぞれ接続される。そして、上記トランジスタQ6のエミッタと接地点13間にには抵抗R3が接続されて居る。

次に、上記のような構成において動作を説明する。まず、スイッチ21の可動接点21aが固定接点21bに接続され、定電圧源端子12がオープン状態の時には、スタート回路を構成しているトランジスタQ5、Q6がオン状態となる。この時、トランジスタQ6のコレクタ電流を I_{c6} とすると、このトランジスタQ6のベース電流は I_{c6}/β_N (β_N はNPN型トランジスタの電流増幅率)、トランジスタQ5のベース電流は I_{c6}/β_N^2 となる。従って、トランジスタQ3のコレクタには、上記トランジスタQ5のベース電流のカレントミラーベ倍(N倍)の電流が流れ、定電圧発生回路16を

点21dには接地点が接続される。また、接地(GND)端子13には接地点が接続される。上記電源端子11には、PNP型トランジスタQ1、Q2のエミッタ、NPN型出力トランジスタQ3のコレクタ、NPN型トランジスタQ5、Q6のコレクタがそれぞれ接続される。上記トランジスタQ1、Q2は、1:Nのエミッタ面積比を有しており、ベースが共通接続されてトランジスタQ1のコレクタに接続されるとともに、トランジスタQ2のコレクタと上記接地点端子13間に定電圧発生回路16として働くダイオードD1～DMが順方向に直列接続される。上記トランジスタQ3のベースには上記トランジスタQ2のコレクタが接続され、エミッタには上記定電圧源端子12が接続される。また、上記電源端子12と接地点端子13間に、負荷17が接続される。上記トランジスタQ1のコレクタには、トランジスタQ4のコレクタが接続され、このトランジスタQ4のベースには、抵抗R2を介して上記定電圧源端子12が接続されるとともに、ダイオードD21、D22の

構成するダイオードD1のアノードに定電圧が発生する。この定電圧によって出力トランジスタQ3がオン状態となり、電源端子11からトランジスタQ3のコレクタ、エミッタ間、抵抗R3、およびダイオードD21、D22を介して接地点端子13に電流が流れ。この電流によってダイオードD21のアノード側に定電圧が発生し、トランジスタQ4がオン状態となって定電圧源回路23が動作状態となる。上記定電圧源回路23が定常状態となると、トランジスタQ4のコレクタ電流 I_{c4} は、

$$I_{c4} \approx I_{c1} = \frac{V_{bb}}{R_1}$$

となる。但し、 V_{bb} はトランジスタのベース・エミッタ間順方向電圧である。上記コレクタ電流 I_{c4} は定電流であり、この電流がトランジスタQ1、Q2からなるカレントミラー回路により、N倍に増幅され、トランジスタQ2のコレクタ電流 I_{c2} は、

$$I_{c2} = N \times I_{c1}$$

となる。但し、ここでは $I_{c1} > I_{c3}$ (I_{c3} はトランジ

ンジスタQ₅のベース電流)と仮定している。この時、出力トランジスタQ₃の最大電流容量は仮想 $\beta_{q3} \times N \cdot I_{c1}$ (β_{q3} はトランジスタQ₃の電流増幅率)となる。また、トランジスタQ₃のエミッタ電位。すなわち定電圧源端子12の電位は、 $M \cdot V_{BE} - V_{BEQ3}$ (Mは直列接続されたダイオードD₁～D_Mの数)で表わされる。

一方、スイッチ2₁の可動接点2₁を固定接点2₁bに接続した場合には、トランジスタQ₄がオフ状態となって定電流源回路2₃は非動作状態となる。従って、トランジスタQ₁がオフ状態となるが、トランジスタQ₅、Q₆がオン状態であるので、トランジスタQ₅のベース電流としては I_{c6}/β_N^2 なる電流が流れ。これによつて、トランジスタQ₂のコレクタ電流I_{c2}は、

$$I_{c2} = \beta_P \times \frac{I_{c6}}{\beta_N^2}$$

となる。但し、 β_P はPNP型トランジスタの電流増幅率である。上記トランジスタQ₂のコレクタ電流I_{c2}がトランジスタQ₃のベース電流成分となり、このトランジスタQ₃がオン状態となる。

して使用する場合のV_{BB2}電流(I_p)の過渡特性に関して説明する。第1図の回路において、定電圧源端子12に負荷を接続し、この負荷を徐々に小さくして行った時、端子12の電位が上がってダイオードD₁～D_Mがオフてしまい、トランジスタQ₂のコレクタ電流I_{c2}が全てトランジスタQ₃のベース電流として流れ。このため、トランジスタQ₃のコレクタ電流I_{c3}(≈I_p)は、

$$I_{c3} = \beta_{q3} \times I_{c2} \approx I_p$$

となり、大きな電流が流れ。そこで実際の回路では電流制限の必要がある。

第2図は、上述した電流制限を行なえる定電圧源回路の構成例を示している。第2図において前記第1図の回路と同一構成部には同じ符号を付してその詳細を説明は省略する。すなわち、前記第1図の回路におけるトランジスタQ₃のコレクタと電源端子11間、およびベースとトランジスタQ₂のコレクタ間それぞれに抵抗R₄、R₅を設けるとともに、PNP型トランジスタQ₇を設けている。上記トランジスタQ₇のエミッタには電源

これによつて、

$$I_{c3} = \beta_N \times \beta_P \times \frac{I_{c6}}{\beta_N^2}$$

なる電流が定電圧源端子12を介して接地に流れれる。

ここで、 $\beta_N = 100$ 、 $\beta_P = 4.0$ 、 $I_{c6} = 100\mu A$ とした場合のトランジスタQ₃のコレクタ電流I_{c3}は、

$$I_{c3} = 100 \times 4.0 \times \frac{100\mu A}{100^2} = 40\mu A$$

となり、実用上ほとんど問題がない。

また、スイッチ2₁の可動接点2₁を固定接点2₁bに接続した場合には、トランジスタQ₄がオン状態となって定電流源回路2₃が動作状態となる。これによつて、出力トランジスタQ₃のベースには、前述したM・V_{BB}なる電圧が印加される。従つて、トランジスタQ₃はエミッタ電位の方が高くなるので、オフ状態となる。ここで、トランジスタQ₃のV_{BB3}の電圧とM・V_{BB}の電圧の和がV_{cc}以下であれば、全く問題のないレベルである。

次に、上記第1図の回路を定電圧源(V_{BB2})と

端子11がコレクタにはトランジスタQ₁、Q₂、Q₅の共通ベースが、ベースにはトランジスタQ₃のコレクタがそれぞれ接続される。

上記のような構成において、定電圧源端子12の電位が負荷の影響で低下すると、ダイオードD₁～D_Mがオフし、トランジスタQ₂のコレクタ電流I_{c2}が全てトランジスタQ₃のベース電流として流れ。これによつて、トランジスタQ₃のコレクタ電流I_{c3}が増大し、抵抗R₄の両端に電圧降下が生ずる。この電圧降下は、トランジスタQ₇のV_{BB7}(≈0.7V)で抑えられるため(トランジスタQ₇がカレントミラー回路をオフさせる方向に働く)、トランジスタQ₃のコレクタ電流I_{c3}は、上記抵抗R₄とトランジスタQ₇とに上つて次式に示すように制限される。

$$I_{c3} = \frac{V_{BB2}}{R_4} \approx I_p$$

第3図および第4図はそれぞれ抵抗R₄とトランジスタQ₇が存在する場合(実線)と存在しない場合(破線)の電圧-電流特性を示している。

第3図は負荷を徐々に小さくした時のトランジス

タ Q_3 のコレクタ電流 I_{C3} をプロットしたものであり、第 4 図は第 3 図の二点鉛錆で囲んだ領域 S を拡大したものです。この特性図から、抵抗 R_4 とトランジスタ Q_A によるリミッタ回路の効果が良くわかる。

なお、前記第2回の回路において、出力トランジスタ Q₃ のベースに抵抗 R₅ を接続しているのは、電源 V_{cc} が高い電圧時に、このトランジスタ Q₃ のエミッタを電源に接続して使用した場合でも、トランジスタ Q₃ に過大電流が流れないよう保護するためである。換言すれば、抵抗 R₅ はトランジスタ Q₃ が V_{dd} でオン状態となつた場合の保護を行なうためのものである。通常の使用（トランジスタ Q₃ のエミッタを定電圧源として用いる）状態においては、トランジスタ Q₃ の電流増幅率は高く、ベース電流成分による抵抗 R₅ の減圧降下は無視できる。

このような構成によれば、制御端子を省略できるので端子数を削減でき、高集積化に好適である。また、第2図に示したように直流脱役回路を付加

接地端子、16…定電圧発生回路、17…負荷、
22…スイッチ、23…定電流回路、Q1～Q7
…トランジスタ、

出題人代培人
井培士 翁江武彥

すれば非動作時の消費電流を低減できる。さらに、トランジスタ Q₁ はインピーダンスの低い定電圧源から定電流が供給されるので、トランジスタ Q₃ のベースに供給される電流にリップル成分が少なく(つまり、カレントミラー回路を使用しているため電源電圧のリップル成分がもれにくく構成であり)、高性能である。

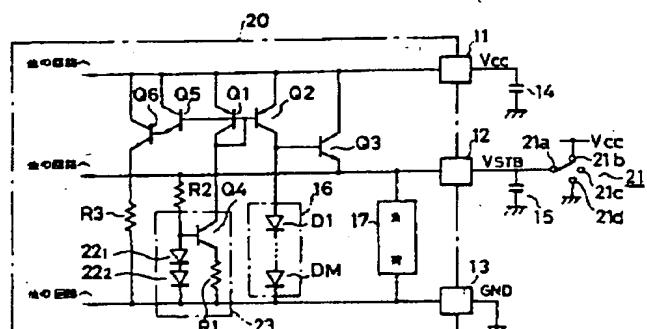
[発明の効果]

以上説明したようにこの説明によれば、消費電流の増加や回路構成の複雑化を招くことなく端子数を削減できる定電圧源回路が得られる。

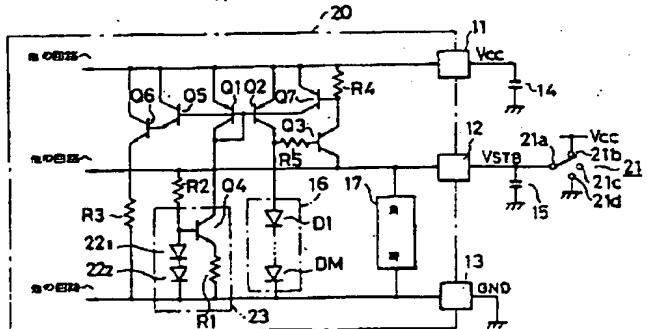
4. 図面の簡単な説明

第1図はこの発明の一実施例に係わる定電圧源回路を示す図、第2図はこの発明の他の実施例を示す図、第3図は上記第2図の回路における逆流制限回路の効果について説明するための電圧-電流特性を示す図、第4図は上記第3図の特性曲における一部を拡大して示す図、第5図は従来の定電圧源回路を示す図である。

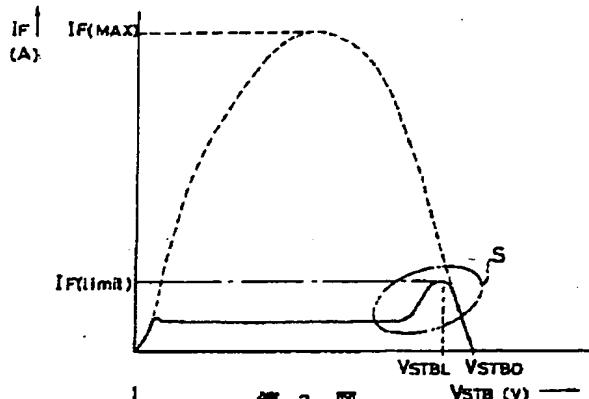
...電源端子、1 2 ...定電壓源端子、1 3 ...



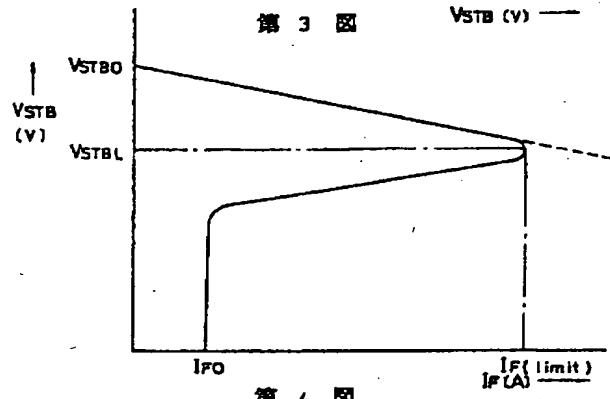
第 1 回



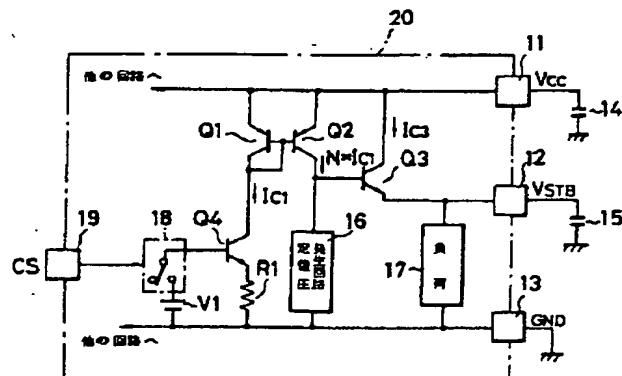
第 3 図



第3図



第4図



第5図

第1頁の続き

⑦発明者 本間 友之 神奈川県川崎市川崎区東田町2番地11号 東芝マイコンエンジニアリング株式会社内
 ⑧発明者 小鹿 和繁 東京都渋谷区渋谷1丁目13番9号 トスバツクコンピューターシステム株式会社内